

11073 U.S. PTO
10/025913
12/26/01

#2/priority
Division
5/22/02

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 82308 호
Application Number

출원년월일 : 2000년 12월 26일
Date of Application

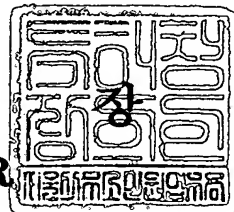
출원인 : 주식회사 하이닉스반도체
Applicant(s)



2001 년 04 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 119980045698

【대리인】

【성명】 특허법인 신성 정지원

【대리인코드】 920000002923

【변경사항】

【경정항목】 한글 성명(명칭)

【경정전】 현대전자산업주식회사

【경정후】 주식회사 하이닉스반도체

【변경사항】

【경정항목】 영문 성명(명칭)

【경정전】 HYUNDAI ELECTRONICS IND. CO.,LTD

【경정후】 Hynix Semiconductor Inc.

【변경사항】

【경정항목】 인감

【경정전】

【경정후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법
시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하
여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.12.26
【발명의 명칭】	반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device and method for fabricating the same
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	특허법인 신성 정지원
【대리인코드】	9-2000-000292-3
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김남경
【성명의 영문표기】	KIM,Nam Kyeong
【주민등록번호】	671128-1929433
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 신한아파트 103-502
【국적】	KR
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM,Seung Jin
【주민등록번호】	630909-1018021

【우편번호】 467-850
【주소】 경기도 이천시 대월면 사동리 현대5차아파트 502-1704
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 특허법인 신성 정지원 (인) 대리인
 특허법인 신성 원석희 (인) 대리인
 특허법인 신성 박해천 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원
【합계】 586,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 LaN을 확산방지층으로 이용하여 하지의 오믹콘택층과 플러그의 산화를 방지하여 캐패시터의 전기적 특성과 전극용량 및 신뢰성을 향상시킨 반도체소자 및 그 제조 방법을 제공하기 위한 것으로서, 이를 위해 본 발명은 반도체소자 제조 방법에 있어서, 소정 공정이 완료된 구조물 상에 커패시터 콘택홀을 형성하고 상기 콘택홀 내부에 리세스된 플러그를 형성하는 제1단계; 상기 콘택홀 내부의 상기 플러그 상에 오믹콘택층을 형성하고 결과물 상에 La 또는 LaN을 증착하는 제2단계; 질소 또는 암모니아 분위기에서 플라즈마처리하여 질화된 LaN 확산방지층을 형성하고 평탄화하는 제3단계; 상기 제3단계가 완료된 결과물 상에 하부전극과 BLT 유전막을 형성하는 제4단계; 및 상기 BLT 유전막 상에 상부전극을 형성하는 제5단계를 포함하여 이루어진다.

또한, 본 발명은 반도체 소자에 있어서, 소스/드레인 접합; 상기 소스/드레인 접합을 드러낸 콘택홀; 상기 콘택홀 내부에 리세스된 폴리실리콘 플러그; 상기 콘택홀 내부의 폴리실리콘 플러그 상에 형성된 오믹콘택층; 상기 콘택홀 내부의 상기 오믹콘택층 상에 형성된 LaN 확산방지층; 및 상기 LaN 확산방지층 상에 형성된 BLT 캐패시터를 포함하는 것을 특징으로 하는 반도체소자를 제공한다.

【대표도】

도 2e

【색인어】

La, LaN, MOD, BLT, TiSi2

1020000082308

2001/5/

【명세서】

【발명의 명칭】

반도체소자 및 그 제조 방법{Semiconductor device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 TiN 확산방지층을 이용한 BLT 캐패시터를 갖는 반도체소자 단면도,
도 2a 내지 2e는 본 발명의 실시예에 따른 반도체소자의 제조 공정을 나타내는 단
면도.

* 도면의 주요부분에 대한 부호의 설명 *

20 : 전도층

21 : 절연막

22 : 플러그

23 : TiSi_2 오믹콘택층

24a : La 또는 LaN층

24b : LaN 확산방지층

25 : 하부전극

26 : BLT 유전막

27 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체소자 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 BLT($(\text{Bi}_x\text{La}_y)\text{Ti}_3\text{O}_{12}$) 캐패시터 및 그 제조 방법에 관한 것이다.
- <14> 통상적으로 비휘발성 메모리 소자에 적용되는 캐패시터로 바이레이어드 특성으로 페로브스카이트(Bi-layered perovskite) 구조를 갖는 SBT($\text{Sr}_1\text{Bi}_2\text{Ta}_2\text{O}_9$), SBTN($\text{Sr}_1\text{Bi}_2(\text{Ta},\text{Nb})\text{O}_9$), BLT 등이 개발되고 있다.
- <15> 한편, SBT 계열은 결정화시키기 위해 800°C 이상에서 열처리를 하여야 하므로 하지의 TiSi_2 오믹콘택층과 플러그의 산화가 발생하므로, 플러그를 이용한 고집적 메모리 소자의 적용은 불가능하다.
- <16> 이러한 문제를 해결하기 위해 상기 SBT 계열보다 결정화 온도가 낮은 BLT 계열의 산화물을 이용한 캐패시터가 시도되었다. 그러나, BLT 또한 700°C 이상의 온도에서 결정화가 이루어져야 신뢰성있는 소자의 동작이 이루어진다. 따라서, BLT 캐패시터에서도 700°C 이상의 산화분위기에서 플러그 및 TiSi_2 오믹콘택층의 산화가 일어나지 않는 확산방지층이 필요하게 된다.
- <17> 도 1은 종래의 TiN 확산방지층을 이용한 BLT 캐패시터를 갖는 반도체소자 단면도를 나타낸다.

<18> 도 1를 참조하면, 예컨대 트랜지스터의 소스/드레인과 같은 전도층(10)상의 절연막(11)을 선택적으로 식각하여 플러그 형성 부위에 콘택홀(도시하지 않음)을 형성한 후 상기 콘택홀(도시하지 않음) 내부에 리세스된 플러그(12)를 형성한다. 다음으로 Ti를 증착한 후 열처리를 하여 상기 플러그(12)와 Ti의 열반응에 의해 $TiSi_2$ 오믹콘택층(13)을 형성한 후 TiN을 증착하여 TiN 확산방지층(14)을 형성하며, 상기 콘택홀(도시하지 않음) 내부에만 TiN 확산방지층(14)이 형성되도록 평탄화한다.

<19> 다음으로, 하부전극(15)을 형성하며, BLT 유전막(16)과 상부전극(17)을 차례로 증착하여 적층구조의 캐패시터를 형성한다.

<20> 그러나, 전술한 바와 같이 이루어지는 종래의 BLT 캐패시터는 $700^{\circ}C$ 에서 플러그 및 $TiSi_2$ 오믹콘택층(13)이 산화되며 이로인한 계면 박리 현상이 심하게 발생되어 소자의 전기적 특성과 전극용량의 감소가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, $TiSi_2$ 오믹콘택층 상에 TiN보다 비저항이 낮고 BLT 유전막의 내부 원소인 La를 이용하여 LaN을 증착한 후 질화처리하여 LaN 확산방지층을 형성함으로써 $800^{\circ}C$ 이상의 고온에서도 $TiSi_2$ 오믹콘택층과 플러그의 산화를 방지하여 전기적 특성과 전극용량을 향상시키는 반도체소자 및 그제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <22> 상기 목적을 달성하기 위하여 본 발명은 반도체소자 제조 방법에 있어서, 전도층 상의 절연막을 선택적으로 식각하여 커패시터 콘택홀을 형성하고 상기 콘택홀 내부에 리세스된 플러그를 형성하는 제1단계; 상기 제1단계가 완료된 결과물 상에 Ti를 증착하여 상기 콘택홀 내부에만 TiSi_2 오믹콘택층이 형성되도록 평탄화한 후 LaN를 증착하는 제2단계; 상기 LaN층 상에 질소 또는 암모니아 분위기에서 플라즈마처리하여 질화된 LaN 확산방지층을 형성하는 제3단계; 상기 제3단계가 완료된 결과물 상을 평탄화한 후 하부전극과 BLT 유전막을 형성하는 제4단계; 및 상기 BLT 유전막 상에 상부전극을 형성하는 제5단계를 포함한다.
- <23> 또한, 본 발명은 반도체 소자에 있어서, 소스/드레인 접합; 상기 소스/드레인 접합을 드러낸 콘택홀; 상기 콘택홀 내부에 리세스된 폴리실리콘 플러그; 상기 콘택홀 내부의 폴리실리콘 플러그 상에 형성된 오믹콘택층; 상기 콘택홀 내부의 상기 오믹콘택층 상에 형성된 LaN 확산방지층; 및 상기 LaN 확산방지층 상에 형성된 BLT 캐패시터를 포함하는 것을 특징으로 하는 반도체소자를 제공한다.
- <24> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도 2a 내지 도 2e를 참조하여 설명한다.
- <25> 도 2e는 본 발명의 반도체소자를 나타내는 단면도이다.
- <26> 도 2e를 참조하면, 소스/드레인 접합(20) 상에 리세스된 폴리실리콘 플러그(22)가 형성되어 있다. 상기 폴리실리콘 플러그(22) 상에 오믹콘택층(23)과 LaN 확산방지층

(24b)이 형성되어 있다. 상기 LaN 확산방지층(24b) 상에 하부전극(25)과 BLT 유전막(26) 및 상부전극(27)이 형성되어 있다.

<27> 도 2a 내지 도 2e는 본 발명의 반도체소자 제조 공정을 나타내는 단면도이다.

<28> 먼저 도 2a에 도시된 바와 같이, 예컨대 트랜지스터의 소스/드레인과 같은 전도층(20) 상의 절연막(21)을 선택적으로 식각하여 캐패시터 콘택홀(도시하지 않음)을 형성하고, 상기 콘택홀(도시하지 않음) 내부에 플러그(22)를 형성하되, 콘택홀(도시하지 않음)의 상부 영역에서 리세스되도록 콘택홀(도시하지 않음) 내부 일부영역에만 플러그(22)를 형성한다. 여기서, 상기 절연막(21)은 통상 산화막 계열의 박막이 적용되며 메모리소자의 경우 층간 절연 및 평탄화 등을 고려하여 통상 다층의 산화막이 적용된다.

<29> 다음으로 도 2b에 도시된 것처럼, 상기 콘택홀(도시하지 않음) 내부의 플러그(22) 상에 예컨대, TiSi_2 와 같은 오믹콘택층(23)을 형성하고 La 또는 LaN층(24a)을 증착한다.

<30> 여기서, 상기 오믹콘택층(23)의 두께는 플러그(22)가 형성된 이후의 콘택홀(도시하지 않음)의 리세스 정도 및 기타 조건에 따라 결정되며, LaN층(24a)은 500Å 내지 2000Å으로 한다.

<31> 상기 La 또는 LaN층(24a)의 증착은 PLD(Pulse Laser Deposition), 물리기상증착법(Physical Vapor Deposition; PVD), 금속유기 화학기상증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 스퍼터링법(Sputtering), 플라즈마 금속유기 화학기상증착법(Plasma Enhanced Metal Organic Chemical Vapor Deposition; PEMOCVD), LSMCD(Liquid Source Mist Chemical Deposition) 또는 원자층 증착법(Atomic Layer

Deposition; ALD) 등의 방법을 이용하여 실시한다.

- <32> 다음으로 도 2c에 도시된 바와 같이, 상기 La 또는 LaN층(24a)을 질소(N_2) 또는 암모니아(NH_3) 환원 분위기의 플라즈마를 야기시켜 미반응 La와 LaN을 결정화시킴과 동시에 질화처리하여 LaN 확산방지층(24b)을 형성한다.
- <33> LaN은 비저항이 $100\mu\Omega/cm$ 로 TiN보다 낮고 BLT의 구성원소로 되어 있기 때문에 후속의 하부전극을 통한 확산에 의해서도 캐패시터의 강유전 특성을 열화시키지 않는다. 여기서, 상기 플라즈마처리는 1 mTorr 내지 10 Torr의 압력 및 25W 내지 500W의 파워 하에서, 웨이퍼 온도를 $250^\circ C$ 내지 $650^\circ C$ 로 유지하며 실시한다.
- <34> 이어서, 에치백 또는 CMP 공정을 실시하여 상기 콘택홀 내부에만 상기 LaN 확산방지층(24b)이 형성되도록 한다.
- <35> 다음으로 도 2d에 도시된 바와 같이, 500Å 내지 2000Å의 두께로 하부전극(25)을 형성한다.
- <36> 다음으로 도 2e에 도시된 바와 같이, 하부전극(25) 상에 조성비가 Bi가 3.25 원자농도 내지 3.35 원자농도이고, La가 0.80 원자농도 내지 0.90 원자농도인 BLT를 증착하여 BLT 유전막(26)을 형성한 후 Ru, Pt, IrO_2 또는 RuO_x (x는 1 내지 3의 정수) 중 어느 하나를 금속유기 화학증착법(MOCVD), 물리기상증착법(PVD), 스퍼온 또는 플라즈마 화학기상증착법(PECVD) 등의 방법을 이용하여 상부전극(27)을 형성한다.
- <37> 여기서, 상기 BLT의 증착은 다음과 같은 여러가지 방법에 의해 가능하며, 구체적인 실시예를 들어 설명한다.
- <38> 상기 BLT는 스퍼온(Spin-On), MOD(Metal Organic Decomposition), 물리기상증착법

(Physical Vapor Deposition; PVD), 금속유기 화학기상증착법(Metal Organics Chemical Vapor Deposition; MOCVD), 플라즈마 금속유기 화학기상증착법(Plasma Enhanced Chemical Vapor Deposition; PECVD), LSMCD(Liquid Source Mist Chemical Deposition) 또는 원자층 증착법(Atomic Layer Deposition; ALD) 중 어느 하나를 이용하여 증착한다.

<39> 여기서, 상기 플라즈마 금속유기 화학기상증착법(PEMOCVD)은, 5 mTorr 내지 50 Torr의 압력 및 400℃ 내지 700℃의 온도 하에서 통상적인 방법에 의해 실시한다.

<40> 다른 실시예인 상기 MOD는 먼저 산소, N₂O 또는 산소와 질소의 혼합가스 중 어느 하나를 반응가스로 하여 초당 80℃ 내지 초당 300℃의 승온속도의 급속열처리(Rapid Thermal Process; RTP)하는 제1열처리에 의해 BLT층을 증착하며, 다시 산소, N₂O 또는 산소와 질소의 혼합가스 중 어느 하나의 분위기에서 650℃ 내지 675℃의 온도 하에서 BLT층을 결정화시키는 제2열처리에 의해 핵을 형성하면서, 상기 BLT 유전막(26)을 형성한다.

<41> 한편, 커패시터는 도면에 도시된 평판형 이외에, 원통형 또는 오목형 등 다양한 형상으로 제조하는 것이 가능하다.

<42> 전술한 것처럼 본 발명의 반도체소자 제조 방법은 확산방지물질로 La를 증착하여 LaN층(24a)을 형성한 후 다시 질소 또는 암모니아의 환원 분위기로 플라즈마처리하여 LaN 확산방지층(24b)을 형성함으로써, 하지 플러그와 오믹콘택층의 산화를 방지하여 전체적인 커패시터의 전기적 특성과 전극용량 및 신뢰성을 향상시킬 수 있음을 실시예를 통해 알아보았다.

<43> 이상에서 본 발명의 기술 사상을 바람직한 실시예에 따라 구체적으로 기술하였으나

, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다.
. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서
다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<44> 본 발명은 캐패시터 제조 방법에 있어서, BLT 캐패시터의 플러그와 오믹콘택층의
산화를 방지함으로써 캐패시터의 전기적 특성과 전극용량 및 신뢰성을 향상시킬 수 있다

【특허청구범위】**【청구항 1】**

반도체소자 제조 방법에 있어서,

소정 공정이 완료된 구조물 상에 커패시터 콘택홀을 형성하고 상기 콘택홀 내부에 리세스된 플러그를 형성하는 제1단계;

상기 콘택홀 내부의 상기 플러그 상에 오믹콘택층을 형성하고 결과물 상에 La 또는 LaN을 증착하는 제2단계;

질소 또는 암모니아 분위기에서 플라즈마처리하여 질화된 LaN 확산방지층을 형성하고 평탄화하는 제3단계;

상기 제3단계가 완료된 결과물 상에 하부전극과 BLT 유전막을 형성하는 제4단계;
및

상기 BLT 유전막 상에 상부전극을 형성하는 제5단계

를 포함하여 이루어짐을 특징으로 하는 반도체소자 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 LaN 확산방지층은,

500Å 내지 2000Å의 두께를 갖는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 La 또는 LaN층의 증착은,

PLD, 물리기상증착법, 금속유기 화학기상증착법, 스퍼터링법, 플라즈마 금속유기 화학기상증착법, LSMCD 또는 원자층 증착법 중 어느 하나에 의해 이루어짐을 특징으로 하는 반도체소자 제조 방법.

【청구항 4】

제1항에 있어서,

상기 플라즈마처리는,

1 mTorr 내지 10 Torr의 압력 및 25W 내지 500W의 파워 하에서, 웨이퍼 온도를 250℃ 내지 650℃로 유지하며 실시하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 BLT의 조성비는,

Bi가 3.25 원자농도 내지 3.35 원자농도이고, La가 0.80 원자농도 내지 0.90 원자농도인 것을 특징으로 반도체소자 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 제4단계는,

스핀온, 물리기상증착법, 금속유기 화학기상증착법, MOD, 플라즈마 금속유기 화학 기상증착법, LSMCD 또는 원자층 증착법 중 어느 하나를 이용하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 플라즈마 금속유기 화학기상증착법은,

5 mTorr 내지 50 Torr의 압력 및 400℃ 내지 700℃의 온도 하에서 실시하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 8】

제 6 항에 있어서,

상기 MOD는,

제1열처리하여 핵을 형성하며 BLT층을 증착하는 단계; 및

상기 BLT층을 결정화시켜 BLT 유전막을 형성하는 제2열처리 단계

를 포함하여 이루어짐을 특징으로 하는 반도체소자 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 제1열처리 공정은,

산소, N_2O 또는 산소와 질소의 혼합가스 중 어느 하나를 반응가스로 하여 초당 80℃ 내지 초당 300℃의 승온속도로 급속열처리하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 10】

제 8 항에 있어서,

상기 제2열처리 공정은,

산소, N_2O 또는 산소와 질소의 혼합가스 중 어느 하나의 분위기에서 650℃ 내지 675℃의 온도 하에서 실시하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 11】

제 1 항에 있어서,

상기 상부전극은,

IrO_2 , Ru, Pt 또는 RuO_x (x 는 1 내지 3의 정수) 중 어느 하나를 이용하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 12】

제 1 항에 있어서,

상기 제5단계는,

금속유기 화학기상증착법, 물리기상증착법, 스퍼온 또는 플라즈마 화학기상증착법 중 어느 하나를 이용하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 13】

제 1 항에 있어서,

상기 캐패시터는,

평판형, 원통형, 오목형 중 어느 하나의 형상을 갖는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 14】

제 1 항 내지 제 13 항 중 어느 한 항에 따른 반도체소자에 있어서,

소스 /드레인 접합;

상기 소스/드레인 접합을 드러낸 콘택홀;

상기 콘택홀 내부에 리세스된 폴리실리콘 플러그;

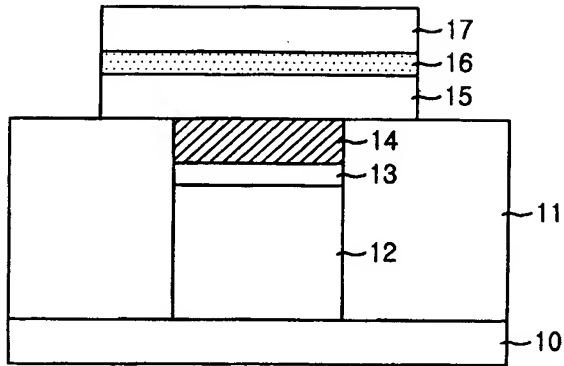
상기 콘택홀 내부의 폴리실리콘 플러그 상에 형성된 오믹콘택층;

상기 콘택홀 내부의 상기 오믹콘택층 상에 형성된 LaN 확산방지층; 및

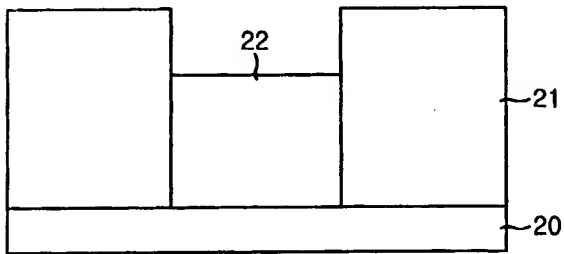
상기 LaN 확산방지층 상에 형성된 BLT 캐패시터
를 포함하는 것을 특징으로 하는 반도체소자.

【도면】

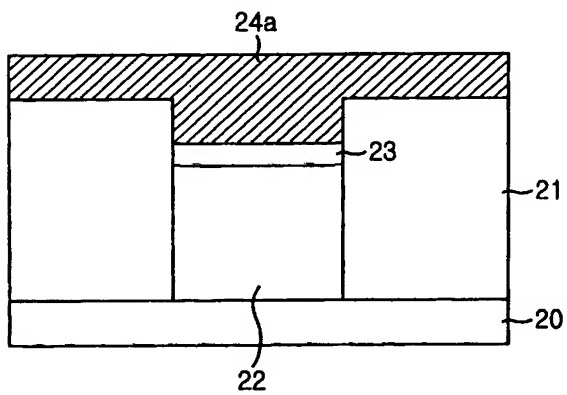
【도 1】



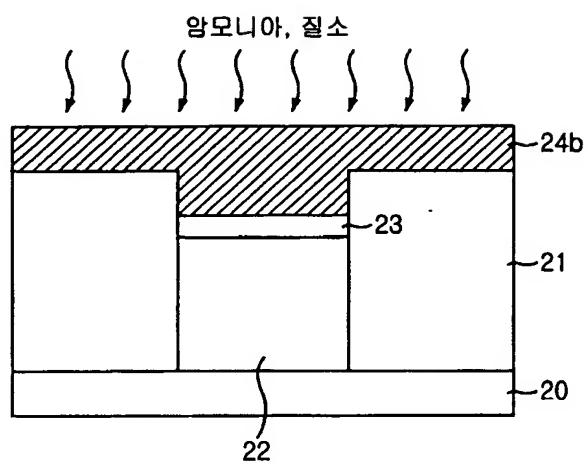
【도 2a】



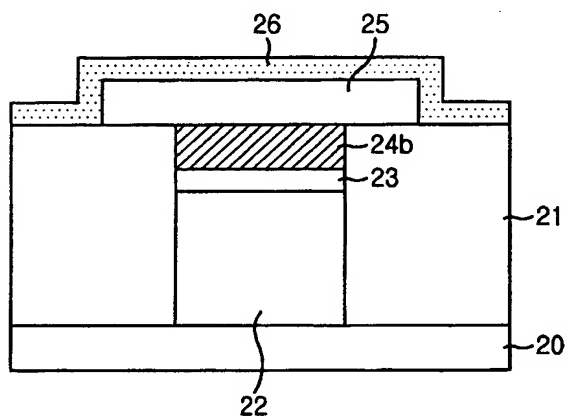
【도 2b】



【도 2c】



【도 2d】



【도 2e】

